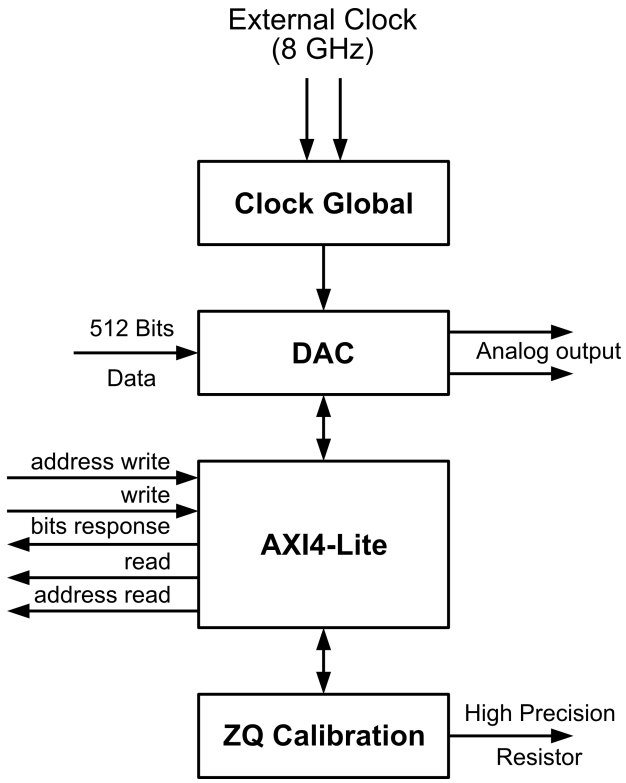
MALT-32G-DAC

IP-блок. Цифро-аналоговый преобразователь

Бриф BR1002

Ред. 14.09.2026



Высокоскоростной IP-блок радиочастотного ЦАП для прямой генерации широкополосных аналоговых сигналов. Блок построен на основе SST-архитектуры, включает встроенные средства подготовки цифровых данных, формирования внутренних высокоскоростных потоков и подстройки параметров тактирования. Это позволяет принимать данные по широкой параллельной шине и формировать дифференциальный аналоговый сигнал в реальном времени при высокой частоте дискретизации. В составе блока реализованы механизмы внутренней настройки выходного тракта, обеспечивающие стабильность выходных параметров и согласование с внешней нагрузкой. Цифровая часть блока принимает входной поток данных и содержит интерфейс управления AXI-Lite, необходимый для настройки режимов работы, запуска встроенных процедур калибровки и мониторинга состояния.

ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Тип IP-блока	Физический (HARD IP)
Статус IP-блока	Разработан, проверен в кремнии в 2023 году
Проектные нормы, нм (технологический процесс)	28
Разрядность, бит	8
Частота дискретизации, Гвыб./с	24-32
Архитектура	SST-ЦАП
Полоса пропускания аналогового выхода, ГГц	16
Эффективная разрядность (ENOB), бит	>3.5
Напряжение питания, В	0,9 (ном.)
Потребляемая мощность, мВт	80-150 (32 Гвыб./с)
Конфигурация выхода	дифференциальный со связью по постоянному току (DC)
Выходное сопротивление, Ом	50 (на плечо), 100 (дифф.)
Размах выходного сигнала (дифф.), мВрр	14-900
Постоянная составляющая сигнала, мВ	450
Среднеквадратичный джиттер, фс	60
Площадь, мм^2	0,033
Условия поставки IP-блока	Готов к поставке

ООО «Мальт Систем»
119331, г. Москва, пр-кт Вернадского, дом 21, к. 3
e-mail: info@maltsystem.ru