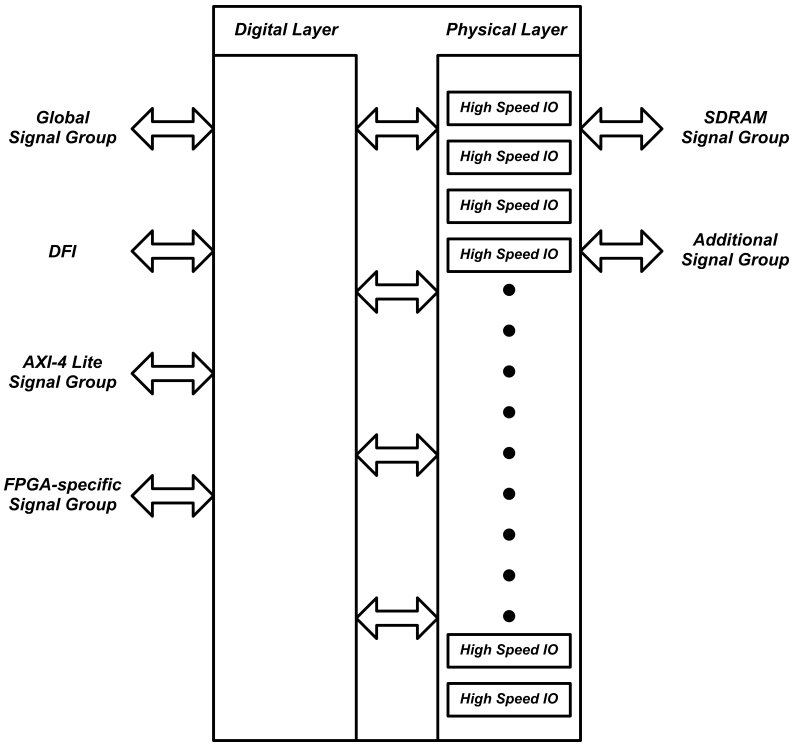
MALT-DDR-PHY

IP-блок. Физический уровень памяти DDR4 SDRAM

Бриф BR704

Ред. 14.09.2026



IP-блок предназначен для интерфейсного взаимодействия с синхронной динамической памятью с произвольным доступом (SDRAM). Вся логика управления вынесена на внешний контроллер, подключаемый через стандартный интерфейс DFI. Цифровая часть блока содержит конфигурационный интерфейс AXI-4 Lite для настройки регистров. Встроенный контроллер управления каналом передачи данных позволяет выполнять функции базовых калибровок, генерировать тестовые последовательности для внешней SDRAM-памяти и выполнять функции для доступа к MR-регистрам. Для выравнивания сигналов записи и чтения используется независимый от контроллера режим обучения интерфейса физического уровня.

ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Тип IP-блока	Физический (HARD IP)
Проектные нормы, нм (технологический процесс)	28
Поддерживаемый стандарт DDR4	JESD79-4C (3200 MT/s)
Значения поддерживаемых скоростей, MT/c	1600, 1866, 2133, 2400, 2666, 2933, 3200
Разрядность, бит	8 / 16 / 32 / 64
Механизм обнаружения и исправления ошибок передачи данных ECC	Поддерживается
Метод корпусирования	Поддержка корпуса Flip Chip
Напряжение питания, В	0.9 & 1.2
Выходное сопротивление драйвера, Ом	34, 40, 48, 60, 80, 120, 240
Термирование приемника ODT, Ом	34, 40, 48, 60, 80, 120, 240
Интерфейсы	DDR PHY интерфейс (DFI)
Мощность, мВт	4000
Площадь, мм^2	7,1 (при 64 бит)
Условия поставки IP-блока	Готов к поставке

ООО «Мальт Систем»
119331, г. Москва, пр-кт Вернадского, дом 21, к. 3
e-mail: info@maltsystem.ru