



Вентилятор

Общее описание

Вентилятор - программно-аппаратный комплекс для ускорения верификации проектов цифровых микросхем и сложных функциональных блоков (СФ, IP). Вентилятор позволяет значительно повысить производительность верификации цифровых СнК и их компонентов относительно моделирования в классических поведенческих RTL симуляторах, в то же время сохраняя гибкость проведения тестов и отладки недоступную при макетировании проекта на ПЛИС.

Назначение

Современные микропроцессоры, системы на кристалле (СнК) и другие сложные цифровые СБИС содержат в себе сотни миллионов базовых логических элементов (вентилей). В процессе разработки таких СБИС неизбежно встает задача верификации корректности функционирования их RTL-кода. Особенно остро эта проблема стоит для СнК, внутри которых процессор совмещен с высокоскоростными интерфейсами и периферийными устройствами. В процессе разработки СнК помимо верификации непосредственно RTL, необходимо проводить верификацию ОС, драйверов и других сложных программных компонентов. При этом для сокращения цикла разработки микросхемы и снижения вероятности ошибок в конечном устройстве, необходимо начинать совместную верификацию RTL и ПО как можно на более ранних этапах проекта. Именно эту задачу решает Вентилятор позволяя в том числе дополнить маршрут верификации СнК проверкой сложного ПО, моделирование исполнения которого в поведенческом RTL-симуляторе заняло бы недопустимо длительное время.

Возможности

Вентилятор позволяет моделировать дизайны аналогично моделированию в RTL симуляторах без ручного разделения проекта на синтезируемую и несинтезируемую части. При этом моделирование синтезируемых модулей будет автоматически ускорено при помощи аппаратной части комплекса. Вентилятор предоставляет возможность получения вейвформы изменения сигналов внутри моделируемого проекта в реальном времени, а также установки критериев остановки по ошибке (assertion).

Ограничения

Вентилятор является не заменой, а дополнением к классическому маршруту верификации в поведенческом симуляторе, так как имеет следующие ограничения:

- Отсутствие поддержки моделирования с задержками (SDF).
- Отсутствие поддержки неопределенного состояния логического сигнала "X" (аналогично ПЛИС).
- Поддержка только синхронных дизайнов с ограниченным числом частотных доменов.
- Зависимость производительности моделирования от соотношения синтезируемого и несинтезируемого кода в дизайне.

Характеристики

Характеристики проекта для моделирования

- Поддерживаемые HDL языки: Verilog-2005, VHDL-2008.
- Языки написания тестбенчей: Verilog-2005, SystemVerilog-2015 (с огр.), cocotb (с огр.).
- Интерфейсы для подключения моделей: SystemVerilog DPI, cocotb, C++ API.
- Поддержка моделирования как поведенческого RTL, так и нетлистов без задержек.
- Максимальный объем проекта: 100 млн эквивалентных вентиляей / 1U.
- Максимальный объем RAM синтезируемой части: 400 МБит / 1U.
- Максимальный объем пользовательской DRAM-памяти: 32 ГБайт / 1U.
- Максимальное количество IO: до 8 тыс.
- Максимальное количество частотных доменов: до 100.

Производительность

- Скорость сборки проекта: до 100 млн эквивалентных вентиляей/ч.
- Скорость поведенческого моделирования: до 1 МГц.
- Скорость получения вейвформы: до 10 ГБит/с.

План повышения технических характеристик и функциональных возможностей ПАК на период 2025-2027 гг.

- Расширенная поддержка SystemVerilog-2015.
- Увеличение максимального объема проекта до 1 млрд. эквивалентных вентиляей / 10U.
- Разработка набора верификационных IP для тестирования SoC и аппаратно ускоренных моделей периферийных блоков (DDR, PCIe, Ethernet, прочее).
- Поддержка отладки моделируемых CPU при помощи стандартного отладчика GDB.
- Сохранение/восстановление образов памяти и интеграция с программным эмулятором QEMU.
- Поддержка пользовательской DRAM памяти.