

Открытые маршруты синтеза цифровых схем от RTL  
до GDS, состояние дел в отрасли и практические  
результаты

## Микроэлектроника 2022

Монахов А.М., Лукьянченко Г.А., Уманский М.В.,  
Елизаров С.Г.

ООО «Мальт систем»





## 1 Введение

## 2 Разработка СБИС в открытых САПР

- Открытые инструменты для разработки СБИС
- Маршрут OpenLane
- Адаптация PDK под OpenLane

## 3 Проверка открытого маршрута на модельных дизайнах

- Модельные дизайны
- Проверка результатов
- Оценка открытых инструментов

## 4 Выводы



- В последние пару лет появилось большое количество open source проектов связанных с разработкой СБИС;
- Заявляется наличие как отдельных инструментов, так и полнофункциональных маршрутов разработки СБИС;
- Помимо прямых аналогов коммерческих инструментов, в open source появились и оригинальные решения;
- Мы решили проверить насколько открытые инструменты и маршруты созрели для использования в разработке достаточно сложных реальных микросхем с использованием коммерческих PDK.

# Разработка СБИС в открытых САПР

# Открытые инструменты для всех этапов проектирования СБИС



Этап маршрута разработки	Инструмент
Проектирование аналоговых блоков	Magic Klayout
Генерация библиотеки ячеек и IO	Librecell flexcell flexio
Генерация аналоговых блоков	OpenFASOC
Генерация блоков SRAM	flexmem OpenRAM
RC-экстракция из GDS	Magic
Аналоговое моделирование	Ngspice Хyce

# Открытые инструменты для всех этапов проектирования СБИС



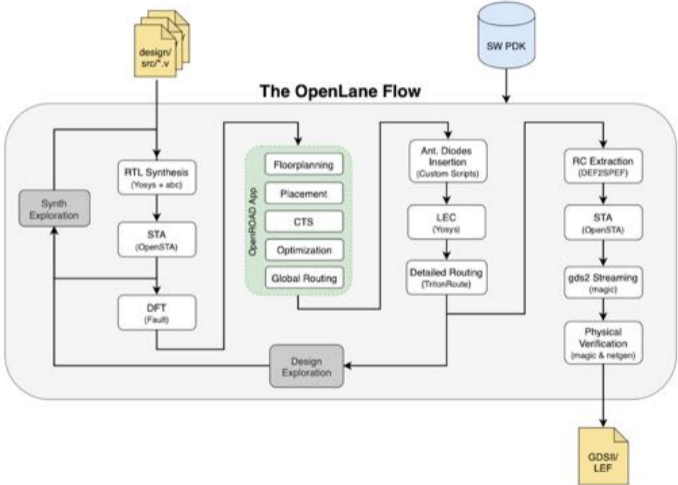
Этап маршрута разработки	Инструмент
Цифровое моделирование	Verilator (Verilog) Icarus Verilog (Verilog) Tachyon CVC (Verilog) GHDL (VHDL) NVC (VHDL) Yosys CXXRTL (mixed)
Синтез VHDL→Verilog	GHDL
Цифровой синтез Verilog	Yosys
Оптимизация нетлистов	Yosys ABC
Добавление DFT	Fault
Цифровая топология (Floorplan, power grid, PnR)	OpenROAD

# Открытые инструменты для всех этапов проектирования СБИС



Этап маршрута разработки	Инструмент
Логическая эквивалентность (LEC)	Yosys
Временной анализ (STA)	OpenSTA
RC-экстракция из DEF/LEF	OpenRCX
Моделирование нетлистов	Icarus Verilog Tachyon CVC
Генерация GDS, проверки DRC, экстракция нетлиста для LVS из GDS	KLayout Magic
Сверка LVS-нетлиста и исходной схематики	KLayout Netgen
Доведение плотности металла на каждом слое до требований (metal fill)	KLayout OpenROAD

# Маршрут OpenLane





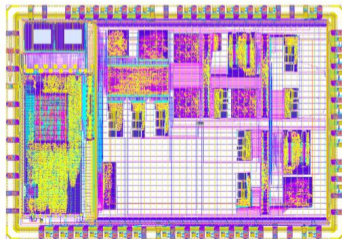


efabless.com

Sponsored by



**FOSS 130nm Production PDK**  
[github.com/google/skywater-pdk](https://github.com/google/skywater-pdk)



# Примеры проектов OpenMPW



На настоящий момент в рамках программы OpenMPW отправлены на фабрику более 250 проектов. Большинство из них реализовано при помощи открытых ASIC-маршрутов. Примеры:

- Очень много 8/16/32/64-битных процессорных ядер;
- СМК и микроконтроллеры: Riscduino, Motion control;
- Контроллеры памяти: HyperRAM, SDRAM;
- ПЛИС: OpenFPGA, PRNG, Uranus;
- Аналоговые блоки: SRAM, PLL, IO, мультигигабитные трансиверы.

Мы пробовали - работает!

# Открытые PDK



## Доступно уже сейчас:

- FreePDK3/15/45 - учебные PDK на 3, 15, 45 нм, не предназначены для выпуска;
- SkyWater 130nm - первый открытый PDK. Есть поддержка ReRAM;
- GlobalFoundaries 180nm - еще один открытый PDK, появился в 2022 году.

## На подходе:

- SkyWater 90nm;
- SkyWater 90nm SOI.

# Организация работы с PDK



**PDKmaster** - открытый фреймворк на Python для работы с PDK. Для начала работы требуется набором специальных функций описать технологию и элементы.

## Возможности:

- Генерация технологических файлов для открытых инструментов;
- Генерация базовых DRC;
- Генерация LVS правил;
- Генерация tech LEF;
- Генерация стандартных ячеек (flexcell).

```
mosgate = prm.MOSFETGate(  
    name="mosgate",  
    active=act,  
    poly=poly,  
    min_w=0.130,  
    min_sd_width=0.230,  
    min_polyactive_extension=0.180,  
    contact=vias["ct"],  
    min_contactgate_space=0.110)
```

# Адаптация коммерческих PDK для OpenLane



Чего не хватает для работы цифрового маршрута с новым PDK:

- DRC скрипты;
- LVS;
- PEX.

Требуется сформировать правила в формате Klayout, опираясь на DRM и скрипты DRC для коммерческих САПР.



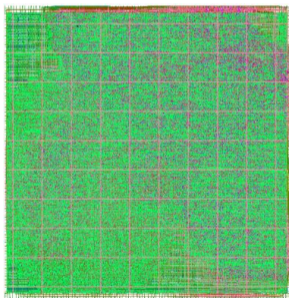
Нами разработаны методики адаптации PDK, которые позволяют в течение короткого времени добавлять "зрелые" (>65 нм) техпроцессы.

# Проверка открытого маршрута на модельных дизайнах

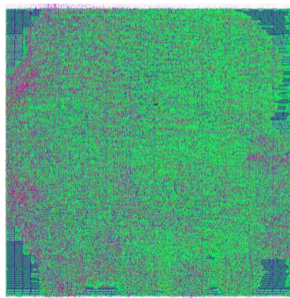
# Базовые тестовые дизайны



Для проверки маршрута использовался набор из более чем десяти тестовых дизайнов из состава OpenLane. Покажем что получилось на примере двух из них:



picoRV32



AES

# Что у нас получилось



## ricoRV32

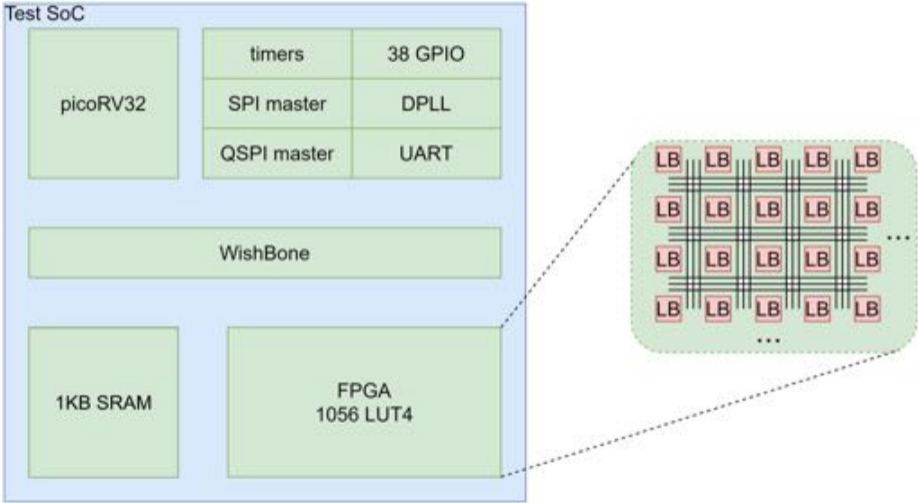
Реализация	Площадь, мм <sup>2</sup>	Частота, МГц
130nm OpenLane	0.567	166
SKY130 OpenLane	0.478	111
130nm Cadence	0.223	400

## AES

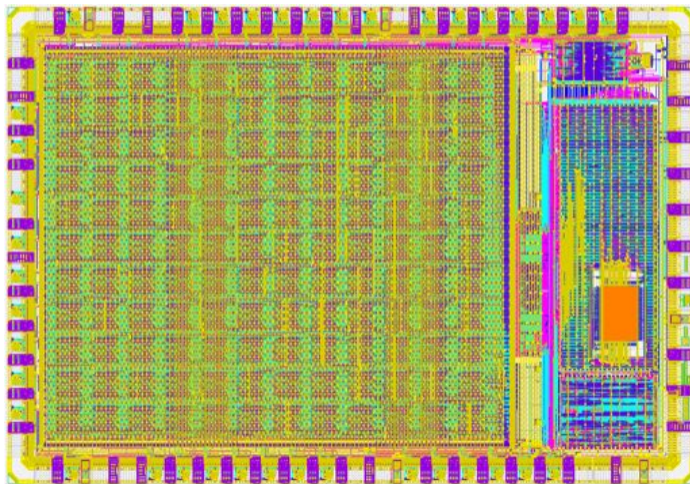
Реализация	Площадь, мм <sup>2</sup>	Частота, МГц
130nm OpenLane	0.881	111
SKY130 OpenLane	0.618	100
130nm Cadence	0.319	333



# СНК с ПЛИС



# Что у нас получилось



# Валидация дизайна в коммерческих САПР



- ✓ DRC, LVS проверки в Calibre;
- ✓ Тестирование посттопологического нетлиста в QuestaSim.



```
#####  
# #  
# CORRECT #  
# #  
#####
```



# Оценка открытых инструментов



- 0 Инструмент должен предоставлять требуемую функциональность, но не проверялся в нашем исследовании;
- 1 Инструмент теоретически предоставляет требуемую функциональность, но требует значительной доработки даже для использования в качестве прототипа;
- 2 Инструмент может быть использован только в качестве прототипа, либо требует значительной доработки для использования;
- 3 Инструмент может быть применён для данной задачи, но ограничен по функционалу, неудобен, работает нестабильно, либо выдаёт результат крайне низкого качества;
- 4 Инструмент полностью выполняет задачу, но значительно уступает коммерческим инструментам по удобству использования, быстродействию, либо качеству результата;
- 5 Инструмент не уступает коммерческим решениям, либо уступает им незначительно.

# Оценка открытых инструментов



Этап маршрута разработки	Инструмент	Оценка
Проектирование аналоговых блоков	Magic	3
	Klayout	3
Генерация библиотеки ячеек и IO	Librecell	1
	flexcell	2
	flexio	1
Генерация аналоговых блоков	OpenFASOC	0
Генерация блоков SRAM	flexmem	1
	OpenRAM	4
RC-экстракция из GDS	Magic	4
Аналоговое моделирование	Ngspice	3
	Хyce	4

# Оценка открытых инструментов



Этап маршрута разработки	Инструмент	Оценка
Цифровое моделирование	Verilator	4
	Icarus Verilog	4
	Tachyon CVC	3
	GHDL	4
	NVC	3
	Yosys CXXRTL	0
Синтез VHDL→Verilog	GHDL	4
Цифровой синтез Verilog	Yosys	5
Оптимизация нетлистов	Yosys ABC	4
Добавление DFT	Fault	0
Цифровая топология (Floorplan, power grid, PnR)	OpenROAD	4

# Оценка открытых инструментов



Этап маршрута разработки	Инструмент	Оценка
Логическая эквивалентность (LEC)	Yosys	3
Временной анализ (STA)	OpenSTA	4
RC-экстракция из DEF/LEF	OpenRCX	4
Моделирование нетлистов	Icarus Verilog	2
	Tachyon CVC	3
Генерация GDS, проверки DRC, экстракция нетлиста для LVS из GDS	KLayout	5
	Magic	5
Сверка LVS-нетлиста и исходной схематики	KLayout	3
	Netgen	4
Доведение плотности металла на каждом слое до требований (metal fill)	KLayout	0
	OpenROAD	0

# Выводы



# Выводы



- Открытые САПР созрели для разработки на актуальных техпроцессах;
- Тема открытых САПР собрала вокруг себя большое сообщество разработчиков и очевидно будет развиваться, догоняя коммерческие решения;
- Помятуя об опыте GCC и LLVM важно не упустить возможность влиться в это сообщество;
- Сегодняшнее состояние открытых САПР отличная отправная точка для создания собственных решений;
- Одна из ниш, которую открытые САПР могут занять уже сейчас - быстрое прототипирование и оценки дизайнов;
- Изучение открытых САПР инженерами позволит сильно поднять их знания не в работе с конкретными инструментами а по самим алгоритмам работы САПР и параметризации проектов.

# Планы на будущее



- Попробовать более тонкие техпроцессы;
- Эксперименты с генераторами ячеек и поиск путей их улучшения;
- Эксперименты с OpenFASOC в реальной разработке (получать служебные аналоговые блоки);
- Дальнейшее развитие модельной ПЛИС.