



Аппаратное ускорение моделирования цифровых СБИС, состояние дел и перспективы

Елизаров Сергей Георгиевич,
научный руководитель

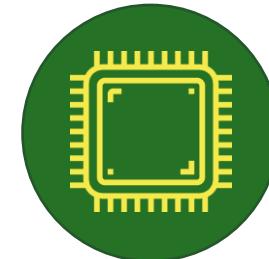
Российский центр проектирования специализированных цифровых и аналоговых СБИС и создания уникального электронного оборудования и модулей на их основе.

70+
сотрудников

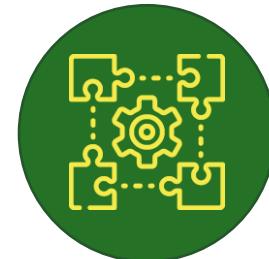
60
разработчиков

10
отделов

Направление деятельности



Специализированные
процессоры



Разработка и продажа
IP-блоков



Разработка
специализированных
СБИС «под ключ»



Высокочастотное
контрольно-измерительное
оборудование



Средства для
отладки проектов
СБИС

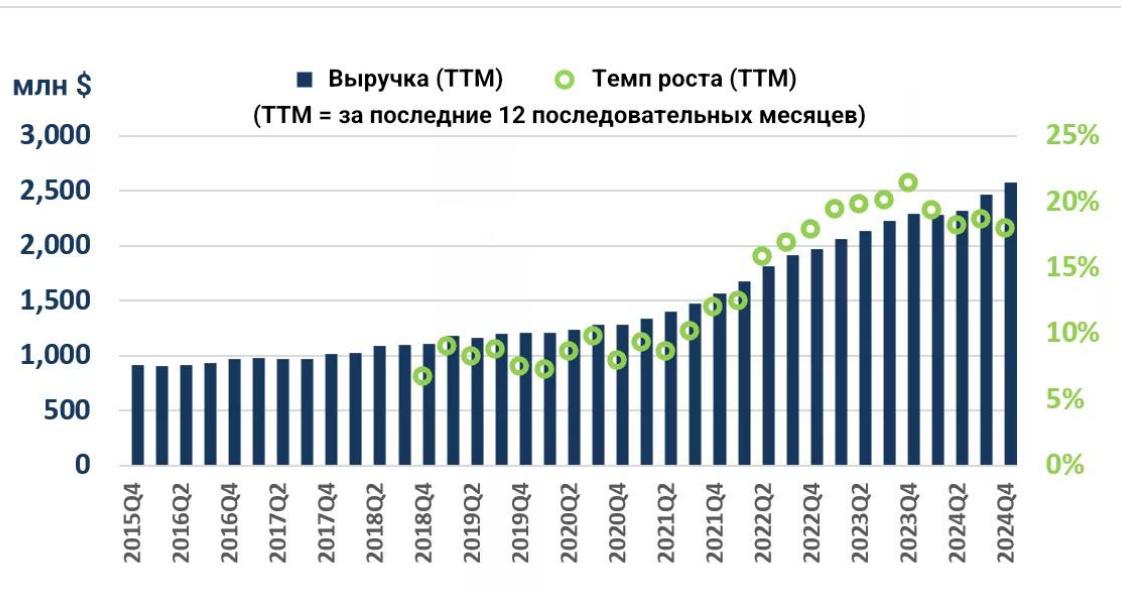


Сергей Елизаров
Научный руководитель

Значимость ускоренного моделирования цифровых СБИС

РЫНОК

Категория: программные, аппаратные средства и сервисы для проектирования, моделирования и верификации разрабатываемых электронных систем.



Наибольшая доля от общей выручки – средства для аппаратной верификации.

Катализатор роста

Требования, предъявляемые к полноценной верификации современных многокомпонентных систем-на-кристалле (СнК), на порядки превышают возможности традиционной программной симуляции, которая упирается в жесткие ограничения по скорости, масштабируемости и объему вычислений.

ROI и бизнес-эффект.

Большие инвестиции на начальном этапе в аппаратное ускорение моделирования цифровых СБИС окупаются через сокращение итераций дизайна и предотвращение ошибок.

Экономия:

- Рабочего времени сотрудников;
- Затрат на возможные модернизации чипа;
- Времени выпуска продукта на рынок.

Платформы аппаратной эмуляции. Cadence Palladium Z3

Архитектура

- Кастомные процессоры для логической эмуляции

Емкость дизайна

- Масштабируемая (8 млн - 48 млрд. экв. вентилем)

Производительность

- 1-2 МГц на большой дизайн
- Компиляция менее 8 часов для 1 млрд экв. вентилем

~335 компаний пользуются флагманской платформой эмуляции Cadence.



Особенности

- Высокая параллельность дизайна.
- Поддержка всех основных вариантов использования эмуляции: ранняя проверка RTL, регрессии RTL, запуск ПО, проверка программного и аппаратного обеспечения, анализ мощности и производительности.
- Расширенные возможности средств для отладки.



Платформы аппаратной эмуляции. **Synopsys ZeBu-200**

Архитектура

- Массив ПЛИС

Емкость дизайна

- Масштабируемая
(240 млн – 15,4
млрд.
экв. вентилем)

Производительность

- до 5 МГц на
малый дизайн



| ~265 компаний пользуются
платформой эмуляции Synopsys.

intel
foundry

bluespec 

 Imagination

 GlobalFoundries™

Tower
Semiconductor

Особенности

- Лидерство по скорости выполнения эмуляции.
- Расширенные возможности средств для отладки.
- Поддержка всех основных вариантов использования
эмуляции.

Платформы аппаратной эмуляции. **Siemens (Mentor) Veloce Strato CS**

Архитектура

- Гибрид:
кастомные
процессоры и
ПЛИС

Емкость дизайна

- Масштабируемая
(40 млн – 40 млрд.
экв. вентилем)

Производительность

- до 5 МГц на
малый дизайн
- Компиляция
длительная,
несколько часов



| Список компаний, пользующихся
платформой эмуляции Siemens,
публично не разглашается.



arm

Особенности

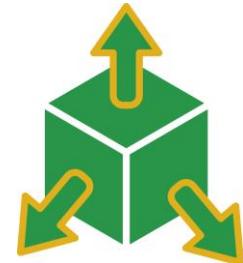
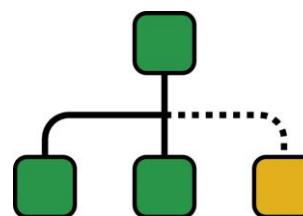
- Создан на базе специально разработанного чипа CrystalX.
- Экосистема.
- Поддержка одновременного прототипирования.

Ограничения и недостатки существующих решений.



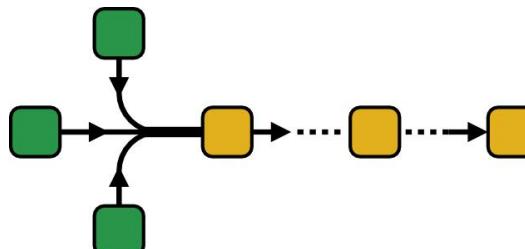
Высокая стоимость оборудования и эксплуатационные расходы.

Габариты оборудования для эмуляции больших дизайнов и масштабируемость модулей эмулятора.



Избыточное время компиляции дизайнов перед запуском на эмуляторе.

Ограничена скорость выполнения эмуляции из-за недостаточных тактовых рабочих частот.



Ограниченностъ доступа к оборудованию и централизованная очередь на исполнение задач, доступ к платформе исключительно в рамках лицензии.

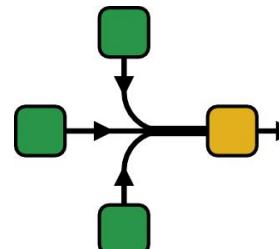
Ограничения и недостатки существующих решений.



Габариты обор
масштабируем

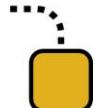


Огра нич
недоста



САНКЦИИ

расходы.



запуском на эмуляторе.



энтрализованная

Платформы аппаратной эмуляции. Open-source решения



FireSim

FireSim - упрощает аппаратную валидацию, профилирование и отладку дизайна RTL на частотах от единиц до сотен МГц.

Является частью платформы:



Пользователи

- Образовательные организации и промышленность (25+ организаций).
- 60+ рецензируемых публикаций с использованием платформы.

FireAxe Compiler - технология автоматизированного разбиения дизайна. Интегрирована в платформу, позволяет масштабировать емкость дизайна от единиц локальных ПЛИС (например, Xilinx Alveo) до масштабов центра обработки данных, использующего сотни облачных ПЛИС (например, Amazon EC2 F1).

Поддерживаемые языки

- Chisel
- Verilog

Поддерживаемые ПЛИС

- AWS EC2 F1,
- Xilinx Alveo U250,
- Xilinx Alveo U280,
- Xilinx VCU118,
- RHS Research Nitefury II.

Разработчик
кафедра электротехники и
компьютерных наук
Калифорнийского
университета в Беркли.
(2018)

Вентилятор. ПАК ускорения верификации RTL



Итог

Оборудование может применяться в любых компаниях и организациях в России и за рубежом, вне зависимости от уровня санкционных рисков.

HDL языки

Синтезируемая часть проекта: Verilog-2005, VHDL-2008.

Тестбенчи: Verilog-2005, SystemVerilog-2015 (с огр.), Cocotb (с огр.)

Идея

- Аппаратно реализовать систему ускорения моделирования цифровых СБИС на базе коммерчески доступных ПЛИС (Cadence/Synopsys/Siemens используют специализированные).
- Программно реализовать систему с использованием open-source решений (Yosys+nextpnr/Verilator/cocotb)

Ниша

Верификация СнК небольшого (до 100 млн. экв. вентилей/1U) и в перспективе среднего (до 1 млрд. экв. вентилей/10U) размеров.

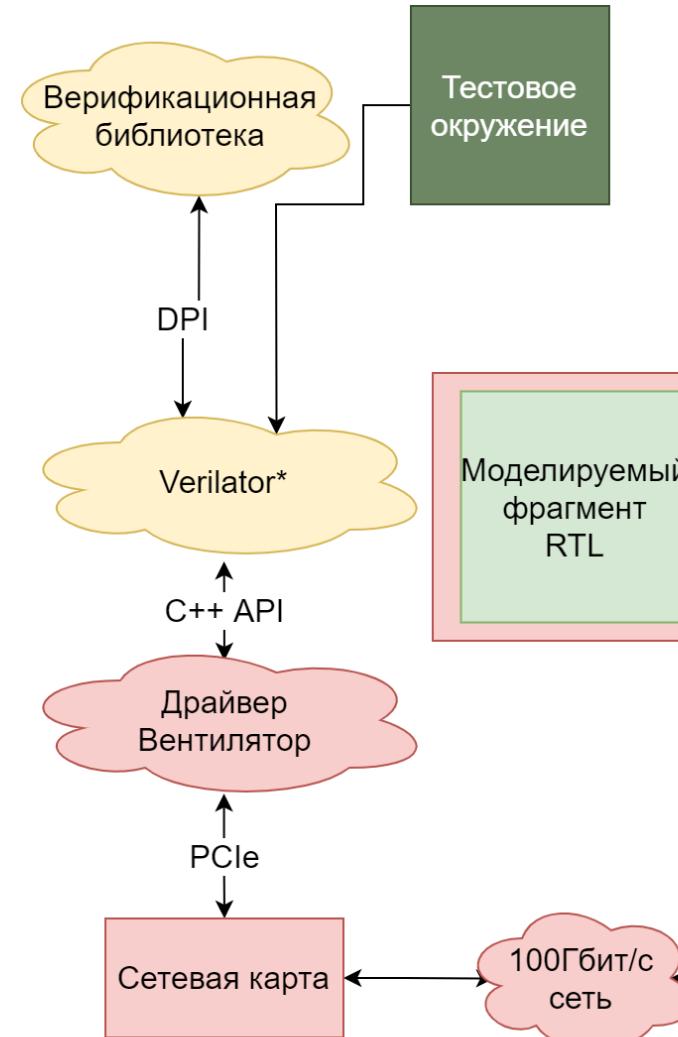
Производительность

- до 1 МГц на малый дизайн
- Компиляция не менее 50 млн экв. вентилей/ч.

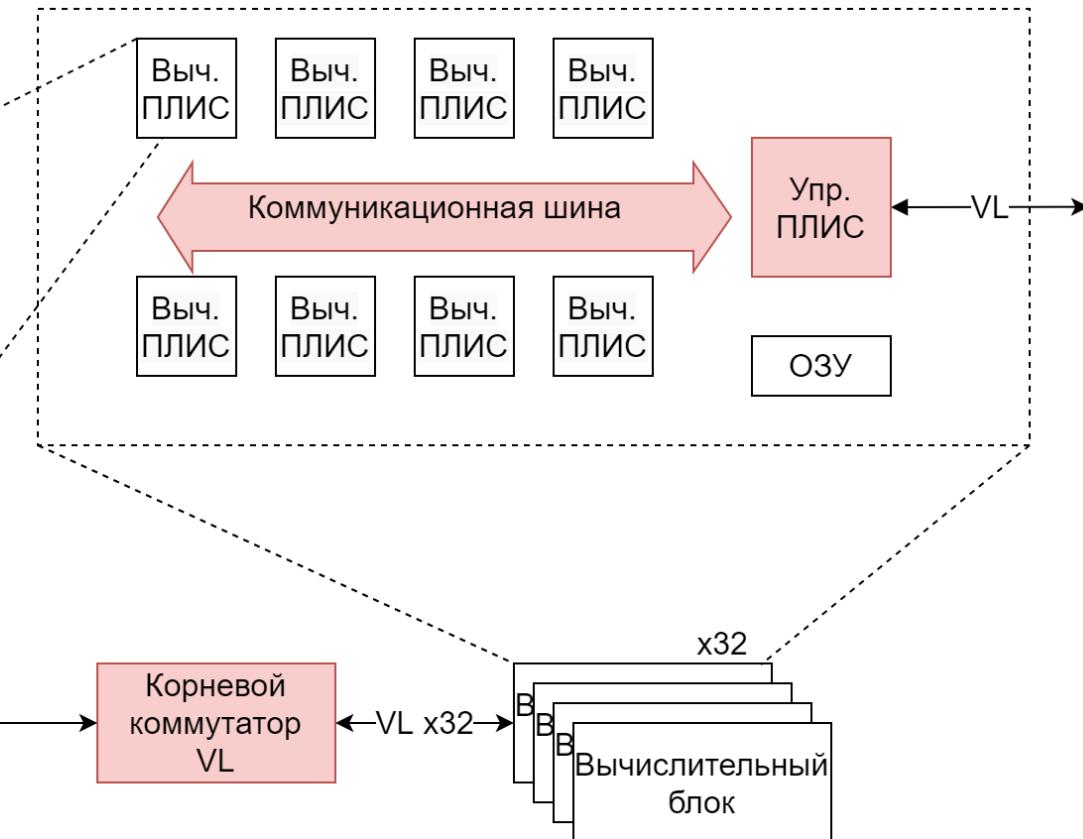
Вентилятор. ПАК ускорения верификации RTL

Программная реализация ПАК

- Моделирование синтезируемой и имплементируемой части дизайна – маршрут Yosys + nextprgr.
- Моделирование несинтезируемой части дизайна – компилятор Verilator
- Верификация дизайна – cocotb



Аппаратная реализация ПАК



Направления развития ПАК в 2025-2027



- Предоставление ПАК Вентилятор в аренду.
- Расширенная поддержка SystemVerilog-2015.
- Увеличение емкости дизайна до 1 млрд. эквивалентных вентилей / 10U.
- Разработка набора верификационных IP для тестирования SoC и аппаратно ускоренных моделей периферийных блоков (DDR, PCIe, Ethernet, прочее).
- Поддержка отладки моделируемых CPU при помощи стандартного отладчика GDB.
- Сохранение/восстановление образов памяти и интеграция с программным эмулятором QEMU.
- Поддержка пользовательской DRAM памяти.

Спасибо за внимание!

-  +7(495)133-62-48
-  info@maltsystem.ru
-  <https://maltsystem.ru>
-  Москва, ул. Фотиевой, 5с1

