

# Проектирование аппаратного ускорителя моделирования RTL

Монахов А.М.  
ООО «Мальт Систем»



# Содержание

**1** Введение

**2** ПАК "Вентилятор"

**3** Архитектура ПАК "Вентилятор"

**4** Этапы разработки

# Введение

- Современные микропроцессоры, системы на кристалле (СнК) и другие сложные цифровые микросхемы содержат в себе сотни миллионов базовых логических элементов (вентилей);
- В процессе разработки таких схем неизбежно встаёт задача верификации корректности функционирования их HDL-кода. Особенно остро эта проблема стоит для СнК, внутри которых процессор совмещен с высокоскоростными интерфейсами и периферийными устройствами;
- В процессе разработки СнК помимо верификации непосредственно RTL, необходимо проводить верификацию ОС, драйверов и других сложных программных компонентов;
- По статистике верификация RTL-дизайна, верификация синтезированных списков межсоединений и совместная отладка RTL-кода и системного ПО СнК занимают более 70% времени разработки СнК;
- При этом для сокращения цикла разработки микросхемы и снижения вероятности ошибок в конечном устройстве, необходимо начинать совместную верификацию RTL и ПО как можно на более ранних этапах проекта.

# Моделирование в RTL симуляторах

Преимущества:

- Не требует дополнительного оборудования;
- Возможность моделировать дизайн с самых ранних стадий реализации, в том числе проводить модульные тесты;
- Доступ к полной отладочной информации о дизайне, в том числе о состоянии всех сигналов внутри в каждый момент времени;
- Быстрота итерирования - время запуска дизайна на моделирование редко превышает 15 мин.

Основной недостаток RTL симуляторов - ограниченная производительность моделирования, для больших СнК эффективная частота может составлять 10 Гц и менее.

# Прототипирование на ПЛИС

## Преимущества:

- Скорость моделирования СнК обычно составляет 10-100 МГц;
- Это позволяет проводить сложные тесты вроде загрузки ОС;
- ПЛИС предоставляют возможность проверять интерфейсы к реальным устройствам.

## Недостатки:

- ПЛИС предоставляют очень ограниченный доступ к информации о проекте;
- Даже самые большие и дорогие ПЛИС не способны вместить HDL проект размером более чем порядка 100 млн эквивалентных вентиляй;
- Не любой код исполняемый в RTL симуляторах может быть реализован на ПЛИС;
- Время сборки одного проекта на большую ПЛИС может превышать 10ч, что ограничивает скорость итерации верификации.

# Аппаратные эмуляторы

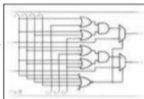
## Аппаратные ускорители RTL-симуляции:



### RTL Design

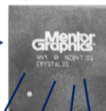
```
module dut_0000 (DOUT, DIN, MA, RA, WE);  
  input [23 : 0] MA, RA;  
  input [7 : 0] DIN;  
  input WE;  
  output [7 : 0] DOUT;  
  reg [7 : 0] DOUT;  
  reg [7 : 0] mem [16777215 : 0];  
  
  always @ (posedge WE)  
  begin  
    mem[MA] = DIN;  
  end  
  
  always @ (RA)  
  begin  
    DOUT = mem[RA];  
  end  
endmodule
```

Compiler



Compiler

### Crystal SoC



**Unified Compilation Flow for ICE, Acceleration, Virtual and Hybrid  
Runtime Selection to enable ICE or Virtual**

**300 MG per hour Today for Highly Repetitive Designs**



**ПАК "Вентилятор"**



# Технические характеристики

- Поддерживаемые HDL языки: Verilog-2005, VHDL-2008;
- Языки написания тестбенчей: Verilog-2005, SV-2015 (с опг.), Cocotb (с опг.);
- Интерфейсы для подключения моделей: SystemVerilog DPI, Cocotb, C++ API;
- Поддержка моделирования как поведенческого RTL, так и нетлистов без задержек;
- Максимальный объем проекта: 100 млн вентиляей / 1U;
- Масштабируемость до 1 млрд вентиляей;
- Максимальный объём DRAM-памяти: 32 ГБайт / 1U;
- Максимальное количество IO: до 8 тыс;
- Максимальное количество частотных доменов: до 100.

# Возможности ПАК "Вентилятор"

## Рыночная ниша:

- Верификация СнК размером до 100 млн. вентилях (в перспективе до 1 млрд.);
- Отладка ПО и драйверов параллельно с доработкой RTL;
- Моделирование синтезированных нетлистов без учета временных задержек.

## Ограничения:

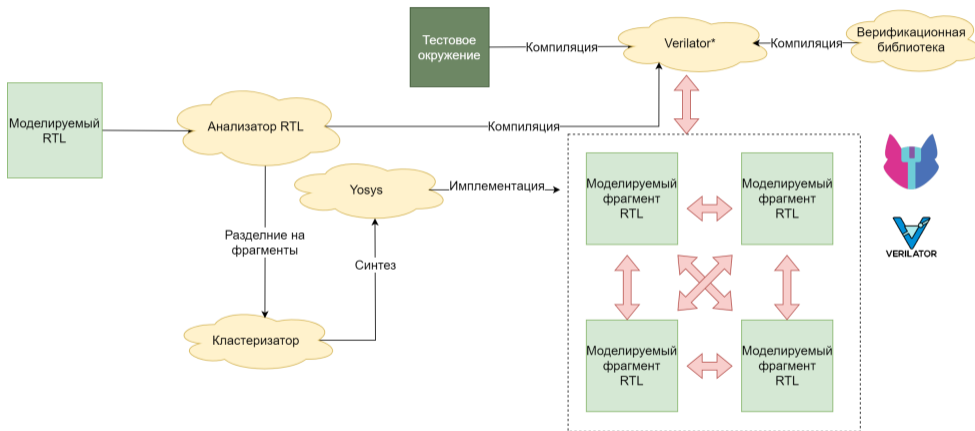
- Не является заменой event-driven симуляторов;
- Невозможность симуляции нетлистов с SDF задержками;
- Предназначен для моделирования синхронных дизайнов;
- Процент синтезируемых модулей в дизайне существенно влияет на производительность;
- Отсутствие поддержки X-состояния сигнала (аналогично ПЛИС).

# Сравнение с конкурентами

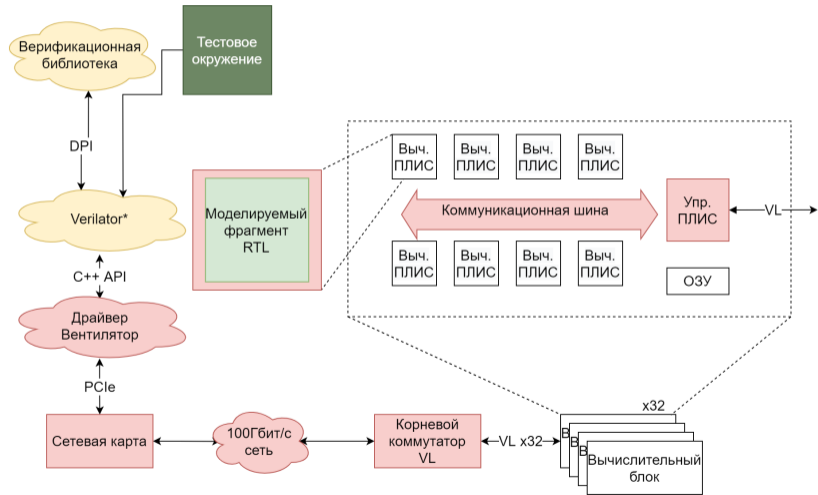
Характеристики продукта	Cadence Palladium, Mentor Veloce	Synopsys EVE Zebu	Aldec, Bluespec, Cadence RPP, HyperSilicon	Предлагаемое решение
Цена/вентиль	2-5 руб. (≈ 2-5 центов)	0.5 – 2 руб. (≈ 0.5 – 2 центов)	0.25 -1 руб. (≈ 0.25 – 1 центов)	0.22 руб. (≈ 0.22 центов)
Техническая поддержка	Предоставляется (но не для российских пользователей)	Предоставляется (но не для российских пользователей)	Не предоставляется	Предоставляется
Емкость дизайна	До 2 млрд. вентилях /стойку. Обычно от 100 млн. до 1 млрд. вентилях.	До 1 млрд. вентилях / стойку. Обычно используется от 25 млн. до 200 млн. вентилях.	До 50+ млн. вентилях. Обычно используется от 2 млн. до 25 млн. вентилях.	До 100 млн. вентилях.
Основные целевые проекты	СнК 100 млн. – 1 млрд. вентилях. Большие процессоры, GPU, ASIC	СнК 25 млн. – 200 млн. вентилях.	IP-блоки, подсистемы, СнК от 2 млн. до 25 млн. вентилях.	СнК 20— 100 млн. вентилях.
Скорость моделирования (тактов/сек)	До 2 млн.	До 5 млн.	До 20 млн.	До 1 млн.
Скорость компиляции	10-30 млн. вентилях/час. Palladium или кластер Veloce	25 млн. - 100 млн. вентилях/ час на кластере.	1 млн. - 15 млн. вентилях/час на кластере.	До 100 млн. вентилях/час.
Разделение дизайна на чипы	автоматическое	автоматическое	полуавтоматическое	автоматическое
Видимость сигналов	Полная, получение вейвформы на скорости симуляции	Статические, динамические вейвформы, получение вейвформы на скорости симуляции	Статические, динамические вейвформы, получение вейвформы на скорости симуляции	Полная, получение вейвформы на скорости симуляции
Отладочные возможности	Точки останова, assertions, отладка ПО на эмулируемой СнК	Точки останова, assertions, отладка ПО на эмулируемой СнК	Точки останова, assertions, отладка ПО на эмулируемой СнК	Точки останова, assertions, отладка ПО на эмулируемой СнК
API виртуальной платформы	Есть	Есть	Зависит о вендора	Есть
Поддерживаемые языки для верификации	C++, SystemC, Specman e, SystemVerilog, OVM, SVA, PSL, OVL	Synthesizable Verilog, VHDL, System Verilog	Synthesizable Verilog, VHDL, System Verilog	VHDL, Verilog, System Verilog, C++
Максимальный объем памяти	До 1 Тб	До 200 Гб	До 32 Гб	До 32 Гб

# Архитектура ПАК "Вентилятор"

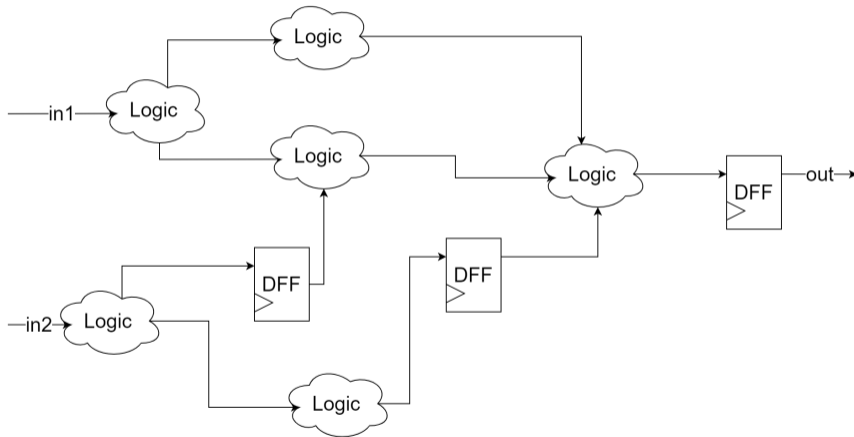
# Схема работы – программная абстракция



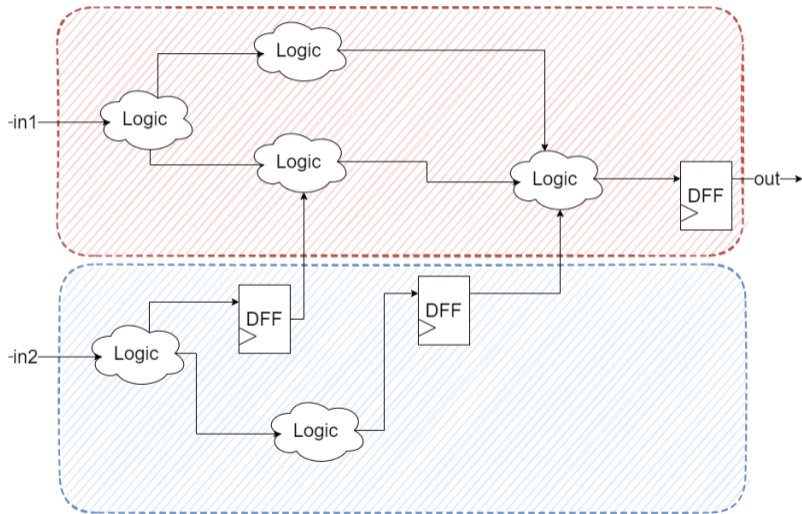
# Схема работы – аппаратная реализация



# Кластеризация RTL

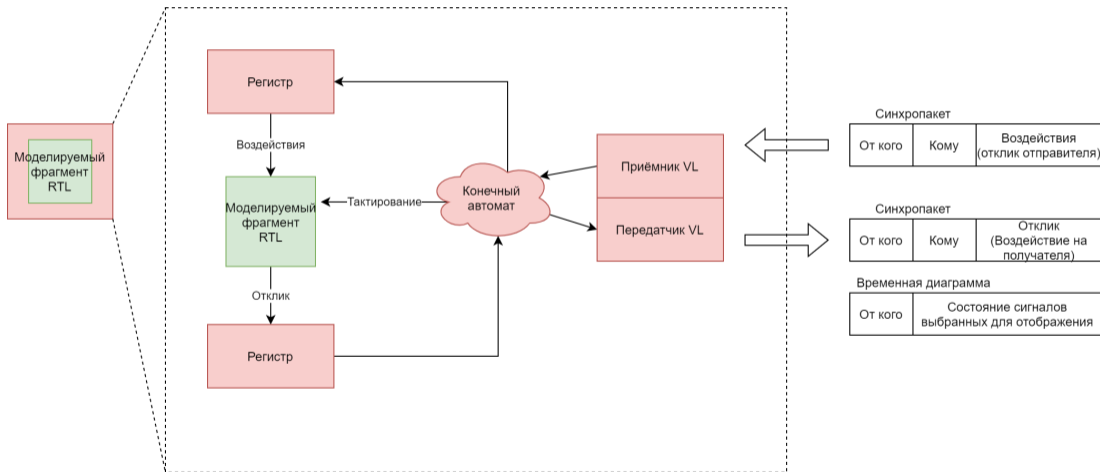


# Кластеризация RTL





# Механизм синхронизации и передачи временных диаграмм



# Этапы разработки

# Первый прототип

- Поддержка одночастотных дизайнов на Verilog-2005;
- Частичная поддержка несинтезируемого кода на System Verilog;
- Выгрузка vcd и assert-событий из синтезируемой части (с ограничениями);
- Размер дизайна до  $\approx 3$  млн вентилях на 12 ПЛИС;
- Время подготовки дизайна на 400 тыс логических вентилях  $\approx 10$  мин;
- Скорость симуляции  $\approx 10$  кГц;
- Возможность отсимулировать многоядерную СпК с загрузкой Linux;
- Передача синхропакетов через Gigabit Ethernet.



# Примеры тестовых дизайнов

- Многоядерные СнК, в т.ч суперскалярные (до 8 ядер);
- Высокоскоростные криптографические блоки;
- Трехмерный графический ускоритель;
- Видео кодеры/декодеры.

```
(MALT) worker@Ventilyator:~/egor/emuflow$ ./run.sh ../test_designs/designs/litex_vexriscv8_linux/litex_vexriscv8_linux.json
#####
EmuFlow v.0.1 by MALT System
Starting Ventilator flow...
#####

Flow directory: /home/worker/egor/emuflow/runs/20240705_101036_cluster_verilator_fpga_flow

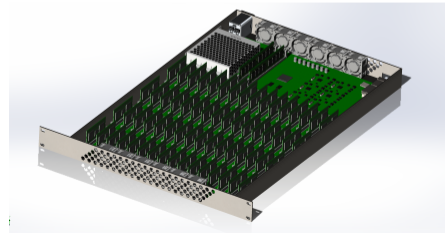
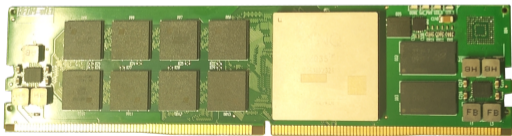
Running stage 1: Verilog precheck ... completed! Time: 5.942 s
Running stage 2: Initialization ... completed! Time: 0.006 s
Running stage 3: Clustering ... completed! Time: 521.667 s
Running stage 4: Cluster check ... completed! Time: 1.367 s
Running stage 5.1: Implementation ...
Running stage 5.2: Make binaries ...
Stage Make binaries (5.2) completed! Time: 18.085 s
Stage Implementation (5.1) completed! Time: 255.105 s
Running stage 6: Run simulation ...

Simulation
[ 0.000000] Linux version 5.14.0 (florent@panda)
(riscv32-buildroot-linux-gnu-gcc.br_real (Buildroot 2021.08-381-g279167ee8d)
10.3.0, GNU ld (GNU Binutils) 2.36.1) #1 SMP Tue Sep 21 12:57:31 CEST 2021
[ 0.000000] earlycon
Simulation successful!
-
/home/worker/egor/test_designs/designs/litex_vexriscv8_linux/VexRiscvLitexSmpCl_
Verilog $finish
Resulting simulation speed: 8737.75 cycles/s

Stage Run simulation (6) completed! Time: 654.051 s
Runtime: 1439.033 s
Flow Ventilator completed successfully!
.....
```

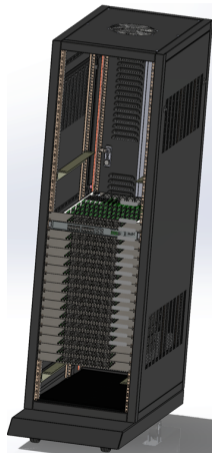
# План на конец года

- Система с поддержкой моделирования до 100 млн вентиляей;
- Поддержка многочастотных дизайнов до 100 доменов;
- Скорость моделирования до 100 кГц;
- Базовая поддержка System Verilog в синтезируемой части;
- Поддержка Cocotb.



# План на 2025 год

- Поддержка многомодульных систем до 1 млрд вентиляей;
- Расширение поддержки SystemVerilog в синтезируемой части;
- Интеграция с программным эмулятором QEMU;
- Расширение номенклатуры VIP;
- Разработка собственной микросхемы для аппаратного ускорения симуляции и достижения скоростей моделирования порядка 1 МГц.



# Спасибо за внимание!